

GLOSSARIO

A

ABEL Advanced Boolean Expression Language. Linguaggio di progettazione per logiche programmabili.

AHDL Altera Hardware Description Language. Linguaggio di descrizione dell'hardware sviluppato dall'Altera.

AMPP Altera Megafunction Partner Program. Insieme di compagnie fornitrici di core per la progettazione con famiglie Altera.

APR Automatic Place and Route. Programma di Place & Route del sistema di sviluppo Xact della Xilinx.

ASIC Application Specific Integrated Circuit.

B

BFMB Big Fast MegaBlock. Porzione di logica nel componente 8000 della Lattice. Contiene 6 GLB contenenti ciascuno 20 macrocelle e risorse di routing ad esse dedicate.

BST Boundary Scan Test.

C

CAD Computer Aided Design.

CAE Computer Aided Engineering.

CIP Configurable Interconnect Point. Elemento di switch delle risorse di routing nella famiglia ORCA della Lucent.

CLB Configurable Logic Block. Gruppo di LUT e flip flop riscontrabili nelle architetture FPGA.

CPLD Complex Programmable Logic Device.

D

DR Dynamic Configuration.

DRC Design Rule Check. Procedura di controllo eseguita dai Fitter sulla rete in esame.

DRL Dynamic Reconfigurable logic.

E

EAB Embedded Array Block. Blocco di memoria caratteristico delle famiglie Altera FLEX 10K.

EDA Electronic Design Automation.

EDIF Electronic Design Interchange Format. Formato standard usato per trasferire dati riguardanti un progetto in forma di schematici e netlist.

EECMOS Electrically Erasable CMOS. Tecnologia costruttiva delle PLD.

EEPLD Electrically Erasable PLD.

EEPROM Electrically Erasable Programmable Read-Only Memory. Tecnologia costruttiva di memorie, PLD o FPGA.

EPLD Erasable PLD.

EPROM Erasable Programmable Read-Only Memory.

ESB Embedded System Block. Blocco embedded della famiglia Apex Altera. Può essere utilizzato, a seconda delle esigenze, come 16 macrocelle PLD, RAM, ROM o CAM.

ESD ElectroStatic Discharge.

F

FASTCONNECT Switch Matrix usata nell'architettura PLD della famiglia XC9500 Xilinx.

FLASH Tecnologia costruttiva di una memoria non volatile.

FPGA Field Programmable Gate Array.

FSM Finite State Machine. Acronimo di macchina a stati.

G

GAL Generic Array Logic.

GFDR General Force Directed Relaxation algorithm. Algoritmo per realizzare il piazzamento in un FPGA.

GLB Generic Logic Block. Blocco contenente somme di Product Term e registri. Riscontrabile nelle architetture PLD della Lattice.

GRM General Routing Matrix. Termine usato per indicare il blocco che effettua lo smistamento delle interconnessioni all'interno di un FPGA Xilinx.

GRP Global Routing Pool. Piano di interconnessione all'interno delle PLD Lattice.

GRP Global Routing Plane. Piano di interconnessione all'interno delle PLD Lattice della famiglia 8000.

H

HCPLD High-Capacity PLD.

HDL Hardware Description Language. Comunemente usato per indicare il VHDL o il Verilog.

I

IC Integrated Circuit.

ICR In-Circuit Reconfigurable.

IOB Input-Output Block.

IOC I/O Control Block.

IOLMC I/O Logic MacroCell.

IP Intellectual Property.

ISP In-System Programmable.

ISR In-System Reprogramming.

J

JEDEC Joint Electronic Device Engineering Council. Consiglio che crea, approva, propone, analizza, standard per l'industria elettronica.
Nell'ambito dei dispositivi programmabili rappresenta il formato del file di programmazione di alcune PLD.

JTAG Joint Task Action Group. E' un gruppo creato dal consiglio JEDEC con lo scopo di mettere a punto standard per attività specifiche come programmazione di componenti o verifica in system.

L

LAB Logic Array Block. Raggruppamento di macrocelle nelle PLD Altera o Logic Element negli FPGA Altera. Un LAB può contenere 8 o 10 Logic Element o 16 macrocelle.

LCA Logic Cell Array. Termine usato dalla Xilinx per descrivere il suo FPGA SRAM based, ma anche il formato del file trattato dal programma di Place and Route del software Xact.

LE Logic Element. Elemento degli FPGA Altera composto da LUT e registro.

LIM Local Interconnect Matrix. Elemento di interconnessione locale caratteristico della famiglia 5200 di FPGA della Xilinx.

LPGA Laser Programmable Gate Array.

LPM Library of Paramaterized Modules. Standard che permette al sintetizzatore di logica di passare la descrizione di moduli di alto livello direttamente al Fitter per l'ottimizzazione.

LUT Look-Up Table. Elemento combinatorio che consente il calcolo di una qualsiasi funzione booleana di 4 o più ingressi.

N

NRE NonRecurring Engineering.

O

OLMC Output Logic MacroCell.

ORP Output Routing Pool. Struttura di routing che collega i GLB agli I/O di una PLD Lattice.

OTP One Time Programmable. Riferito a memorie o logiche programmabili configurabili una sola volta.

P

PAL Programmable Array Logic.

PALASM PAL ASseMbler. Linguaggio per la descrizione di una logica programmabile.

PAR Place And Route. Programma di piazzamento ed interconnessione del software M1 della Xilinx.

PFU Programmable Function Unit. Cella base nell'architettura FPGA della famiglia ORCA della Lucent.

PIA Programmable Interconnect Array. Risorse di interconnessione in alcune PLD Altera.

PIM Programmable Interconnect Matrix. Risorse di interconnessione nelle PLD Cypress.

PIP Programmable Interconnect Point.

PLA Programmable Logic Array.

PLC Programmable Logic Cell.

PPR Partitioner Place and Route. Programma di partizionamento, piazzamento ed interconnessione usato nel sistema di sviluppo Xact della Xilinx.

PT Product Term. Essenzialmente è una and di un certo numero di segnali.

PTSA Product Term Sharing Array. Condivisione di or nel GLB di una PLD Lattice.

S

SDF Standard Delay Format.

SPROM Serial ePROM.

SRAM Static RAM.

V

VHDL VHSIC Hardware Description Language. Linguaggio per la descrizione dell'hardware di alto livello.

VITAL Standard IEEE. Modellizzazione VHDL per librerie ASIC.

X

X-BLOX Xilinx Logic Block architecture.

XNF Xilinx Netlist Format. Formato di netlist riconosciuto dalla Xilinx.

Z

ZIA Zero Power Interconnect. Risorse di interconnessione nelle PLD Philips.