

+ 24 V

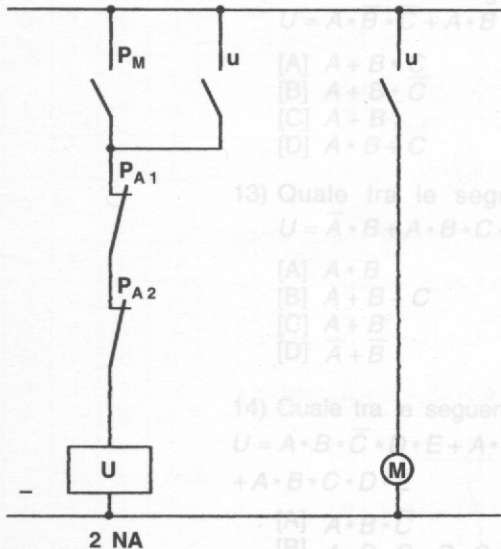
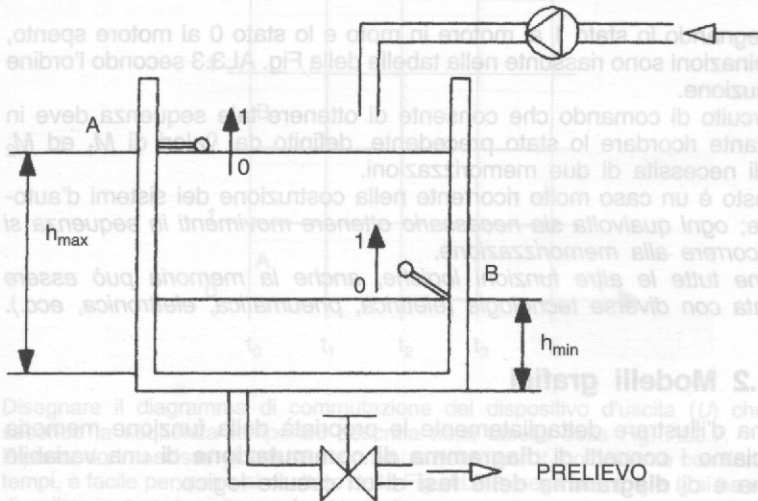


Fig. AL3.1 - Circuito di autoritenuta.

P_R ALIMENTAZIONE



PERIODO	M_1	M_2
1	0	1
2	1	1
3	1	0
4	0	0

Fig. AL3.3

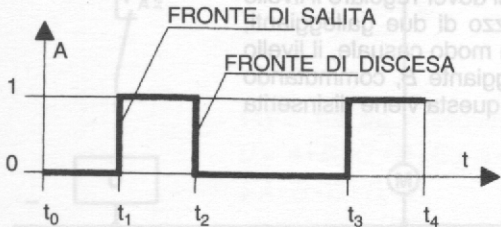


Fig. AL3.4 - Diagramma di commutazione.

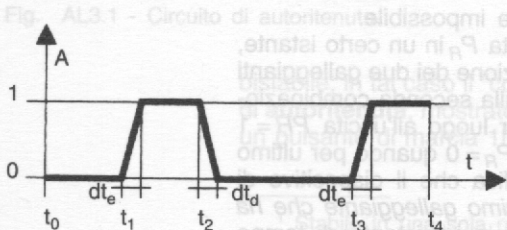
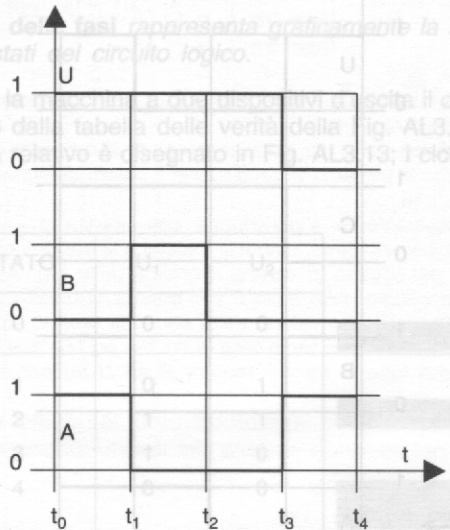


Fig. AL3.1 - Circuito di autoritornamento di ottovolte

ramma delle fasi rappresenta graficamente la successione degli stati del circuito logico.

Periamo la macchina a cui corrisponde l'uscita il circuito descritto dalla tabella delle verità della fig. AL3.1. ad essa relativo è disegnato in Fig. AL3.13; i cicli primo.



PERIODO	U
$t_1 - t_0$	1
$t_2 - t_1$	0
$t_3 - t_2$	1
$t_4 - t_3$	0

Fig. AL3.7

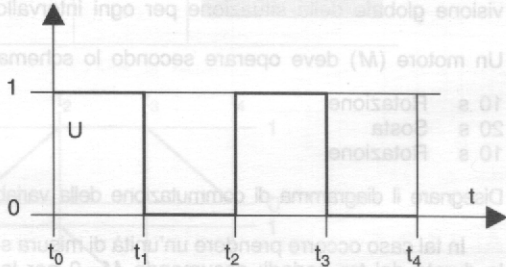
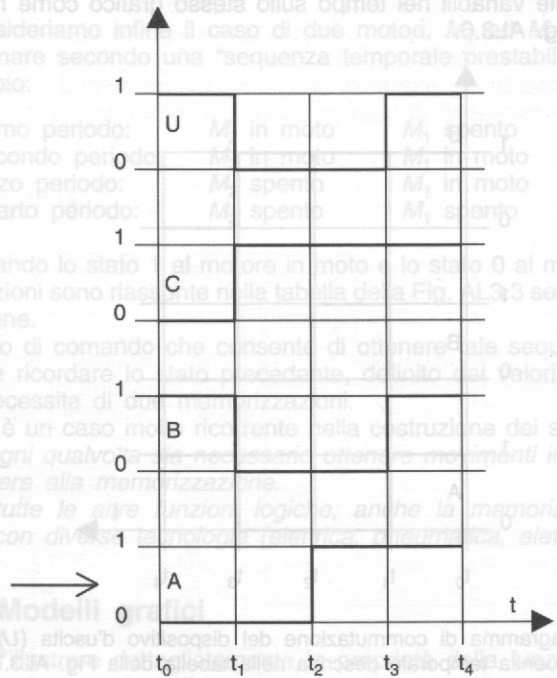


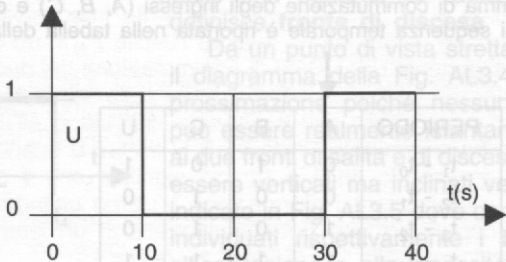
Fig. AL3.8



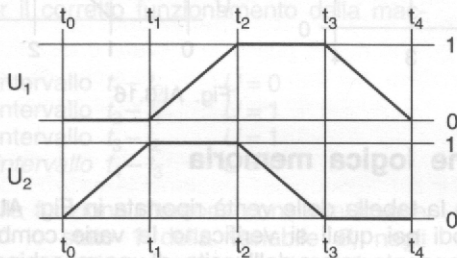
PERIODO	A	B	C	U
$t_1 - t_0$	0	1	0	1
$t_2 - t_1$	0	0	1	0
$t_3 - t_2$	1	0	1	0
$t_4 - t_3$	1	1	1	1



delle variabili nel tempo sullo stesso grafico come in
 Fig. A.3.6. Al motore, M , si applica una sequenza
 secondo una "sequenza temporale prestabilita",
 esempio:
 primo periodo: M in moto
 secondo periodo: M in moto
 terzo periodo: M spento
 quarto periodo: M spento
 Quando lo stato del motore in moto è lo stato 0 al motore
 le azioni sono riassunte nella tabella della Fig. A.3.3 secondo
 la sequenza:
 di comando che consente di ottenere tale sequenza
 e ricordare lo stato precedente, definito dai valori U
 e C di cui si ha la necessità di commemorazioni.
 È un caso particolare della costruzione dei sistemi
 ogni qualvolta è necessario ottenere movimenti in se-
 renza alla memorizzazione.
 tutte le altre funzioni logiche, anche la memoria pu-
 con diverse tecniche: logica combinatoria, elettronica



STATO	U_1	U_2	
0	0	0	STATO INIZIALE
1	0	1	PRIMO CICLO
2	1	1	
3	1	0	
4	0	0	RITORNO ALLO STATO INIZIALE
1	0	1	SECONDO CICLO
2	1	1	
3	1	0	
4	0	0	RITORNO ALLO STATO INIZIALE



STATO	A	B	U
0	0	0	0
1	0	1	0
2	1	1	1
3	1	0	0
4	0	0	0

Fig. AL3.14

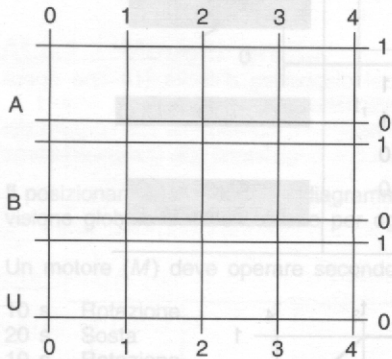


Fig. AL3.15

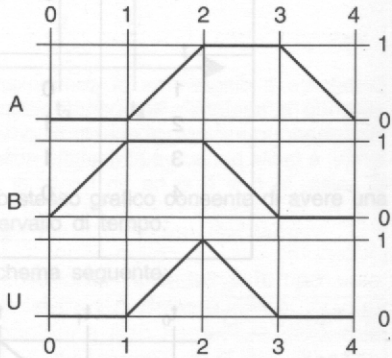


Fig. AL3.16

A	B	U
0	0	0
0	1	1
1	0	1
1	1	0

→

Intervallo di tempo $t_1 - t_0$

→

Intervallo di tempo $t_2 - t_1$

→

Intervallo di tempo $t_3 - t_2$

→

Intervallo di tempo $t_4 - t_3$

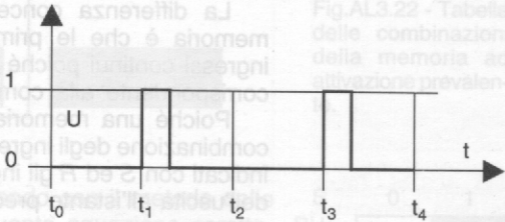


Fig.AL3.22 - Tabella delle combinazioni della memoria ad attivazione prevalente

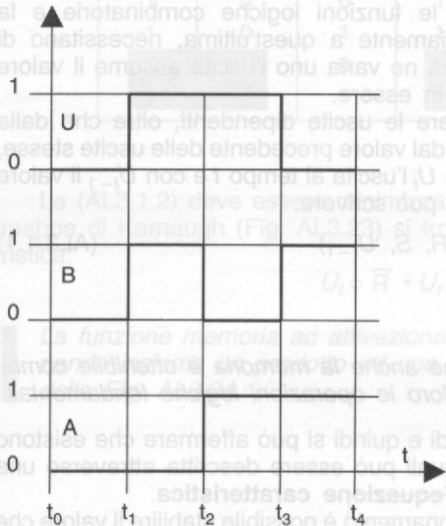


Fig. AL3.18

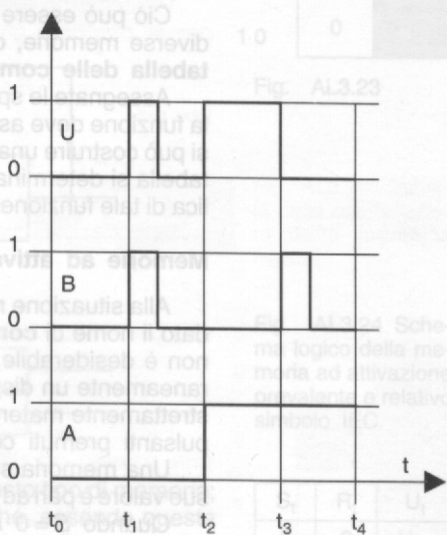


Fig. AL3.20

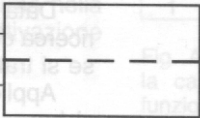
Fig. AL3.23

Fig. AL3.24 Schemma logico della memoria ad attivazione casuale a tre livelli. Il simbolo

S_1	R	U_1
0	0	U_{1-1}
0	1	0

(S) I_1

(R) I_2



1	0	1
1	1	1

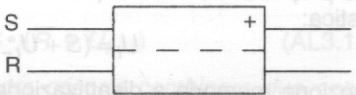
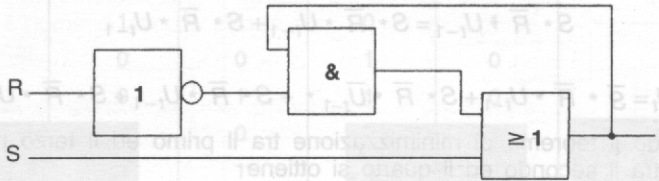
Fig. 4.3.25 - Tabella caratteristica di funzionamento della memoria ad attivazione simultanea.

S	R	U_{t-1}	U_t	\bar{U}_t
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0

attivazione
prevalente

S	0	1
RU_{t-1}		
0 0	0	1
0 1	1	1
1 1	0	1
1 0	0	1

Fig. AL3.23



S_t	R_t	U_t
0	0	U_{t-1}
0	1	0
1	0	1
1	1	1

S	R	U_{t-1}	U_t	\bar{U}_t
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	0	1

disattivazione
prevalente

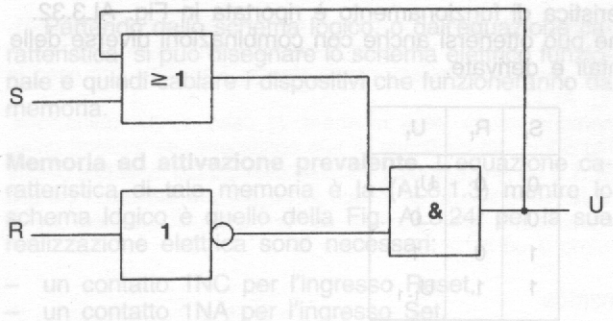
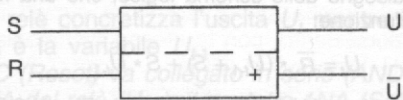


Fig. AL3.27 - Schema logico della memoria a disattivazione prevalente e relativo simbolo IEC.



S_t	R_t	U_t
0	0	U_{t-1}
0	1	0
1	0	1
1	1	0

Fig. AL3.28 - Tabella caratteristica della memoria a disattivazione prevalente.

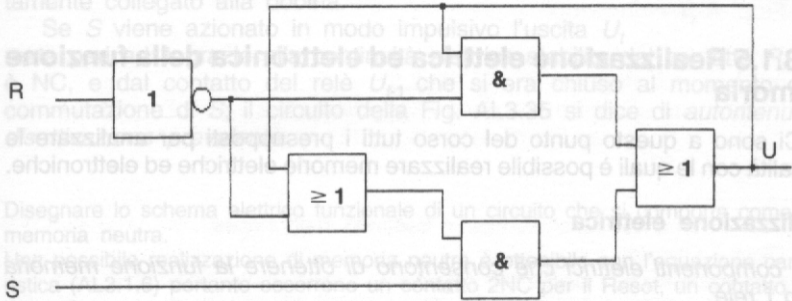
S	R	U_{t-1}	U_t	\bar{U}_t
0	0	0	0	1
0	0	1	1	0
0	1	0	0	1
0	1	1	0	1
1	0	0	1	0
1	0	1	1	0
1	1	0	0	1
1	1	1	1	0

prevalenza
segnale
precedente

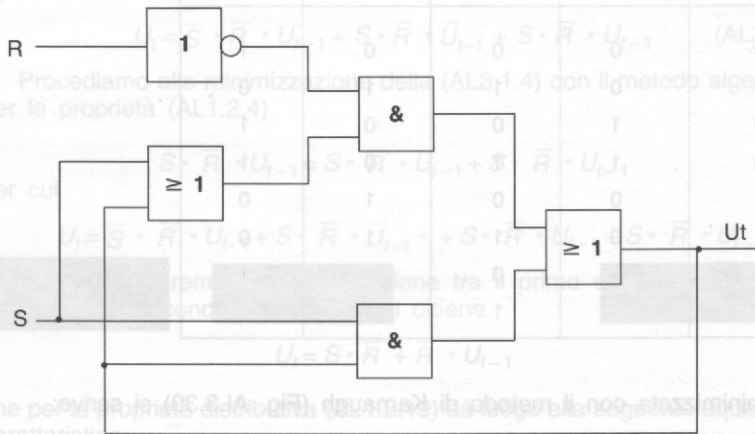
Fig. AL3.29 - Tabella delle combinazioni della memoria neutra.

S	0	1
RU_{t-1}		
00	0	1
01	1	1
11	0	1
10	0	0

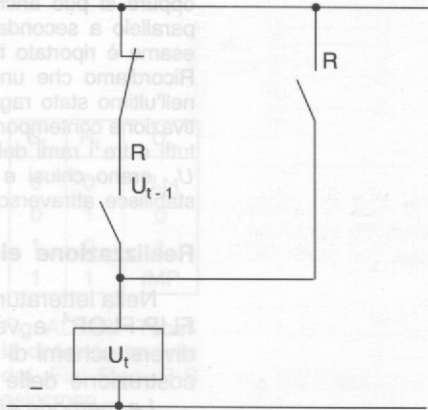
Fig. AL3.30



S_t	R_t	U_t
0	0	U_{t-1}
0	1	0
1	0	1
1	1	U_{t-1}



+ 24 V



R

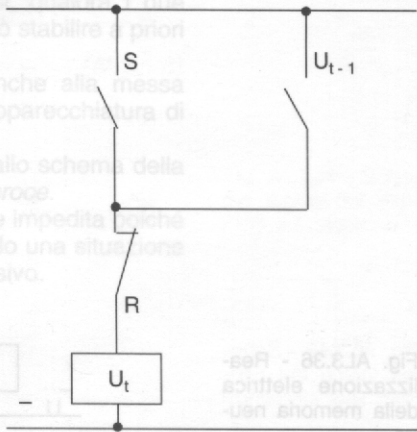
U_{t-1}

U_t

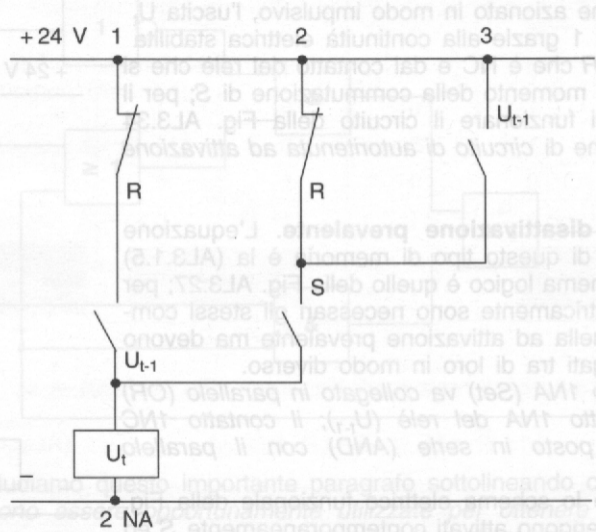
R

-

+ 24 V



Fg. AL.3.36 - Res-
lizzazione elettrica
della memoria neu-



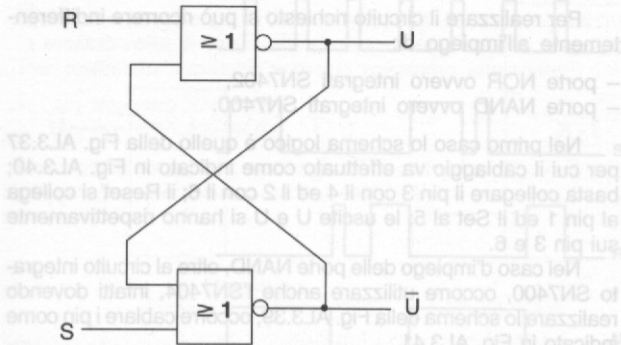
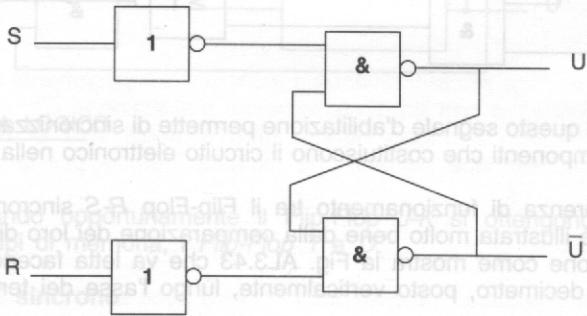


Fig. AL3.37 - Schema logico del Flip-Flop R-S asincrono realizzato con porte NOR

S_t	R_t	U_t
0	0	U_{t-1}
0	1	0
1	0	1
1	1	IMP

Fig. AL3.38 - Tabella di funzionamento del Flip-Flop R-S asincrono.



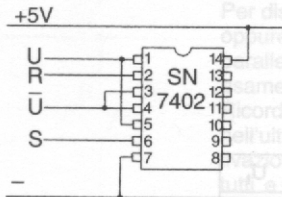


Fig. AL3.40 - Cablaggio di una memoria asincrona R-S realizzata con porte NOR.

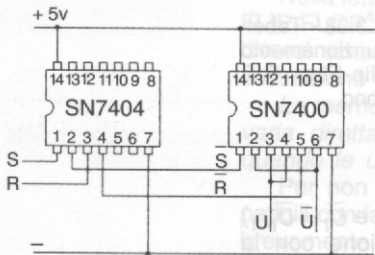
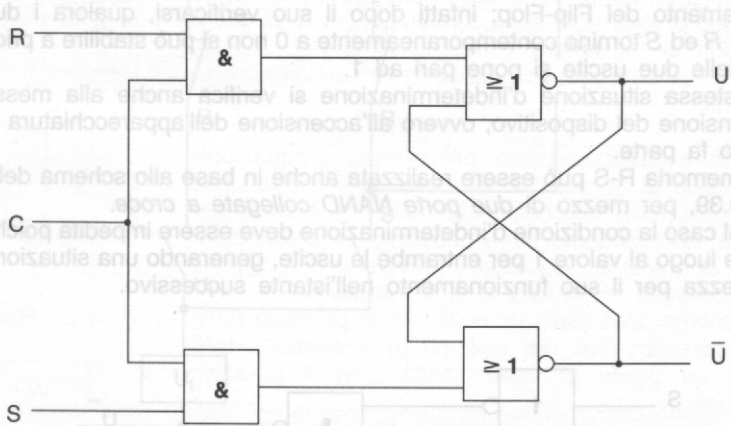
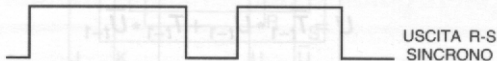
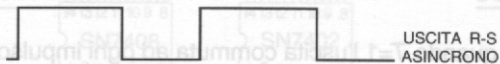


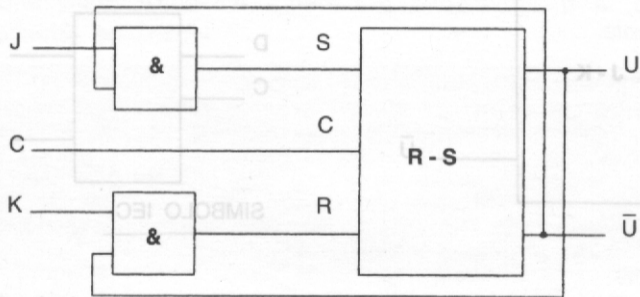
Fig. AL3.41 - Cablaggio di una memoria asincrona R-S realizzata con porte NAND.





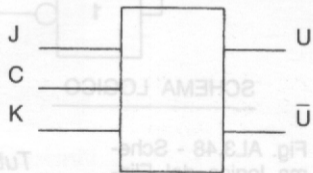
t

$$U = \bar{K}_{t-1} * U_{t-1} + J_{t-1} * \bar{U}_{t-1} \quad (\text{AL3.1.8})$$



SCHEMA LOGICO

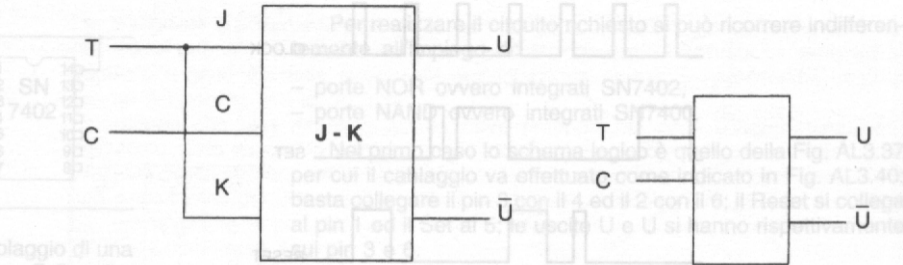
Fig. AL3.44 - Schema logico del Flip-Flop J-k sincrono.



SIMBOLO IEC

J	K	U_t
0	0	U_{t-1}
0	1	0
1	0	1
1	1	\bar{U}_{t-1}

Fig. AL3.45 - Tabella caratteristica di funzionamento del Flip-Flop J-K sincrono.



SCHEMA LOGICO

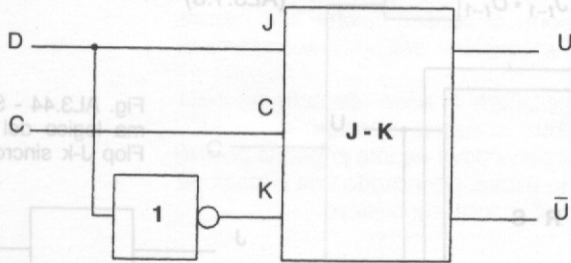
SIMBOLO IEC

Fig. AL3.46 Schema logico del Flip-Flop T sincrono.

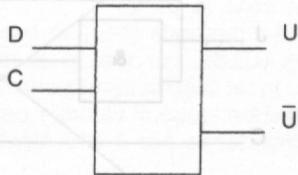
T	U_t
0	U_{t-1}
1	\bar{U}_{t-1}

Fig. AL3.47 - Tabella caratteristica di funzionamento del Flip-Flop T sincrono.

$$U = D_{t-1} \quad (\text{AL3.1.10})$$



SCHEMA LOGICO



SIMBOLO IEC

D	U_t
0	0
1	1

Fig. AL3.49 - Tabella caratteristica di funzionamento del Flip-Flop D sincrono.

